

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-368120

(43)Date of publication of application : 20.12.2002

(51)Int.Cl.

H01L 21/8222

H01L 21/28

H01L 21/3065

H01L 21/331

H01L 27/082

H01L 29/417

H01L 29/73

H01L 29/737

(21)Application number : 2001-177214

(71)Applicant : SONY CORP

(22)Date of filing : 12.06.2001

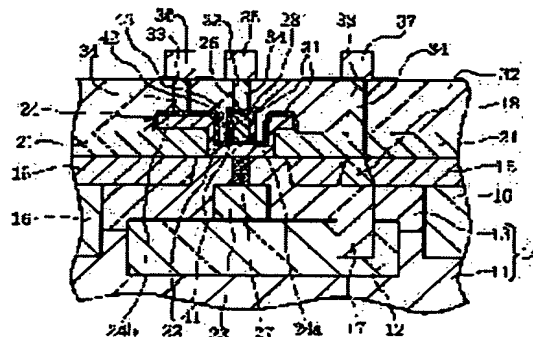
(72)Inventor : ARAI CHIHIRO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device and its manufacturing method which has little variation of characteristics, depending on the area of the emitter for a plurality of bipolar transistors.

SOLUTION: A first to third insulation films 41-43, laminated on a semiconductor layer 24a serving as a base, have openings 26 for emitters, the first and third films 41, 43 are different from the second film 42, with respect to etching characteristics, and the third film 43 is thicker than the first and second films 41, 42. For forming the openings 26, the third film 43 can be etched with the second film 42 used as an etching stopper, and the etching quantity hardly varies due to the microloading effect.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-368120

(P2002-368120A)

(43) 公開日 平成14年12月20日 (2002. 12. 20)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L	21/8222	H 0 1 L	L 4 M 1 0 4
	21/28		1 0 1 B 5 F 0 0 3
	21/3065		H 5 F 0 0 4
	21/331		B 5 F 0 8 2
	27/082		J

審査請求 未請求 請求項の数14 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願2001-177214(P2001-177214)

(22) 出願日 平成13年6月12日 (2001. 6. 12)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 荒井 千広

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74) 代理人 100065950

弁理士 土屋 勝

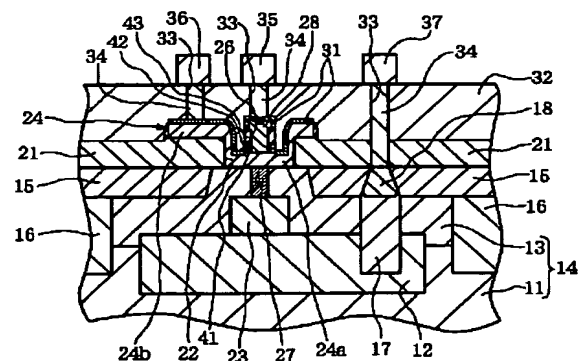
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 複数のバイポーラトランジスタにおいてエミッタの面積に依存した特性のばらつきが少ない半導体装置及びその製造方法を提供する。

【解決手段】 ベースである半導体層24a上に積層されている第一〜第三の絶縁膜41〜43にエミッタ用の開口26が設けられており、第一及び第三の絶縁膜41、43と第二の絶縁膜42とでエッチング特性が異なっており、第三の絶縁膜43が第一及び第二の絶縁膜41、42よりも厚い。開口26を形成する際に、第二の絶縁膜42をエッチングストップパにして第三の絶縁膜43をエッチングすることができ、マイクロ・ローディング効果によるエッチング量のばらつきが殆どない。



【特許請求の範囲】

【請求項1】 面積が互いに異なるエミッタと表面の高さが互いに等しいベースとを有する複数のバイポーラトランジスタを含む半導体装置。

【請求項2】 バイポーラトランジスタのベース上に順次に積層されている第一、第二及び第三の絶縁膜に前記ベースに達する開口が設けられており、前記バイポーラトランジスタのエミッタが前記開口を介して前記ベースに接合すると共に前記第一〜第三の絶縁膜を介して前記ベース上に広がっており、前記第一及び第三の絶縁膜と前記第二の絶縁膜とでエッチング特性が互いに異なっており、前記第三の絶縁膜が前記第一及び第二の絶縁膜よりも厚く、前記第二の絶縁膜が前記第一の絶縁膜よりも緻密である半導体装置。

【請求項3】 前記第一及び第三の絶縁膜がシリコン酸化膜であり、前記第二の絶縁膜がシリコン窒化膜である請求項2記載の半導体装置。

【請求項4】 前記第一の絶縁膜の厚さが0.1nm以上で50nm以下である請求項3記載の半導体装置。

【請求項5】 前記第二の絶縁膜の厚さが0.1nm以上で100nm以下である請求項3記載の半導体装置。

【請求項6】 前記第三の絶縁膜の厚さが10nm以上で1000nm以下である請求項3記載の半導体装置。

【請求項7】 バイポーラトランジスタのベース上に第一の絶縁膜を形成する工程と、前記第一の絶縁膜とはエッチング特性が異なっており且つ前記第一の絶縁膜よりも緻密な第二の絶縁膜を前記第一の絶縁膜上に形成する工程と、前記第二の絶縁膜とはエッチング特性が異なっており且つ前記第一及び第二の絶縁膜よりも厚い第三の絶縁膜を前記第二の絶縁膜上に形成する工程と、前記バイポーラトランジスタのエミッタのパターンの開口を有するフォトリソを前記第三の絶縁膜上に形成する工程と、前記フォトリソをマスクにして前記第三の絶縁膜をエッチングする工程と、前記第三の絶縁膜から露出している前記第二及び第一の絶縁膜を順次にエッチングする工程とを具備する半導体装置の製造方法。

【請求項8】 前記第一及び第三の絶縁膜としてシリコン酸化膜を形成し、前記第二の絶縁膜としてシリコン窒化膜を形成する請求項7記載の半導体装置の製造方法。

【請求項9】 120〜170℃のリン酸を用いて前記第二の絶縁膜をエッチングする請求項8記載の半導体装置の製造方法。

【請求項10】 シリコンを主成分とするエピタキシャ

ル層を前記ベースとして形成し、

1/10以下に希釈されたフッ酸を用いて前記第一の絶縁膜をエッチングする請求項8記載の半導体装置の製造方法。

【請求項11】 前記第一の絶縁膜の厚さを0.1nm以上で50nm以下にする請求項8記載の半導体装置の製造方法。

【請求項12】 前記第二の絶縁膜の厚さを0.1nm以上で100nm以下にする請求項8記載の半導体装置の製造方法。

【請求項13】 前記第三の絶縁膜の厚さを10nm以上で1000nm以下にする請求項8記載の半導体装置の製造方法。

【請求項14】 前記第二の絶縁膜をエッチングする前、または前記第二の絶縁膜をエッチングした後で前記第一の絶縁膜をエッチングする前、または前記第一の絶縁膜をエッチングした後の何れかに前記フォトリソを除去する請求項8記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願の発明は、バイポーラトランジスタを含む半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】バイポーラトランジスタは高負荷駆動力、高速性、低ノイズ性等を有しているので、バイポーラトランジスタを含む半導体装置はアナログ回路に適した半導体装置である。図4は、縦型NPNバイポーラトランジスタを含む半導体装置の一従来例を示している。この一従来例の半導体装置を製造するためには、P型のSi基板等である半導体基板11の表面部にN型のコレクタ埋め込み層12を選択的に形成した後、N型のSi層等である半導体層13を半導体基板11上にエピタキシャル成長させて、半導体基板11とエピタキシャル層である半導体層13とで半導体基体14を形成する。

【0003】次に、半導体基体14の表面部にLOCOS法等によって素子分離用の絶縁膜15を選択的に形成し、各バイポーラトランジスタの形成予定領域の周囲に素子分離用のP型のウェル16を形成する。また、コレクタ取り出し領域に半導体層13よりも高濃度のN型のウェル17を形成し、このウェル17の表面部にウェル17よりも高濃度のコレクタ取り出し用のN型の拡散領域18を形成する。そして、SiO₂膜等である絶縁膜21を半導体基体14上に形成し、絶縁膜21のうちでベースの形成予定領域に開口22を形成する。

【0004】次に、開口22を介するN型の不純物のイオン注入によって第一の選択イオン注入コレクタ23を形成する。選択イオン注入コレクタ23は、コレクタ抵抗を低減させることによって遮断周波数を高めるためのものである。そして、Siを主成分とするP型のSiG

e層等である半導体層24を全面にエピタキシャル成長させる。但し、開口22内の半導体基体14上では半導体層13と接合している単結晶の半導体層24aが形成されるが、絶縁膜21上ではエピタキシャル成長が生じなくて多結晶の半導体層24bが形成される。その後、半導体層24をベース及びベース取り出し電極のパターンに加工する。

【0005】次に、SiO₂膜等である絶縁膜25をCVD法によって全面に堆積させ、絶縁膜25上にフォトリソグレイ（図示せず）を塗布する。そして、エミッタの形成予定領域の開口を有するパターンにフォトリソグレイによってフォトリソグレイを加工する。その後、フォトリソグレイをマスクとするRIEによって絶縁膜25に開口26を形成する。従って、単結晶の半導体層24aのうちで開口26下の部分が真性ベースになり、その周囲の部分が外部ベースになる。また、多結晶の半導体層24bはベース取り出し電極になる。

【0006】次に、開口26を介するN型の不純物のイオン注入によって第二の選択イオン注入コレクタ27を形成する。選択イオン注入コレクタ27は、真性ベースの直下におけるコレクタの不純物濃度を高めることによってカーク効果が生じる電流値を高め、また、コレクタ抵抗を低減させることによって遮断周波数を高めるためのものである。その後、フォトリソグレイを除去する。そして、N型の不純物が添加されている多結晶Si膜等である半導体層28を堆積させ、エミッタを包含するパターンに半導体層28と絶縁膜25とを連続的に加工して、半導体層24の表面を露出させる。

【0007】次に、半導体層24、28の夫々の露出面にシリサイド膜31を形成した後、BPSG膜等である絶縁膜32を全面に堆積させる。そして、化学的機械研磨によって絶縁膜32の表面を平坦化させた後、半導体層28上のシリサイド膜31と半導体層24上のシリサイド膜31と拡散領域18とに達するコンタクト孔33を形成する。

【0008】次に、厚さが5nm/40nm/30nmのTi/TiN/Ti膜等と厚さが1000nmであるW膜等とを順次に全面に堆積させ、これらに化学的機械研磨を施すことによって、コンタクト孔33内にプラグ34を形成する。そして、厚さが100nm/5nm/400nm/5nm/20nm/20nmのTiN/Ti/Al/Ti/TiN/Ti膜等である金属層を堆積させ、この金属層をエミッタ電極35、ベース電極36及びコレクタ電極37のパターンに加工する。以上で、この一従来例の半導体装置が製造される。

【0009】

【発明が解決しようとする課題】ところで、図4に示されている一従来例の半導体装置に、エミッタの面積つまり絶縁膜25における開口26の面積が互いに異なる複数のバイポーラトランジスタが含まれていることがあ

る。そして、開口26は上述の様にフォトリソグレイをマスクとするRIEつまりドライエッチングによって形成される。このため、面積が互いに異なる開口26間では、マイクロ・ローディング効果によって絶縁膜25のエッチング速度に差が生じて、開口26の底まで絶縁膜25がエッチングされる時間も異なる。

【0010】一方、絶縁膜25としてSiO₂膜を用いてもSiN膜を用いても、Siを主成分とする半導体層24と絶縁膜25との間のエッチング選択比は、無限大ではなく10~20程度である。このため、開口26を確実に形成するための絶縁膜25のオーバエッチング時に半導体層24も多少エッチングされる。そして、面積が互いに異なる開口26間では、上述の様に開口26の底まで絶縁膜25がエッチングされる時間が異なるので、半導体層24がエッチングされる時間も異なって、半導体層24のエッチング量がばらついている。

【0011】この結果、図4に示されている一従来例の半導体装置では、エミッタの面積に依存してバイポーラトランジスタの特性がばらついている。具体的には、エミッタの面積が広いと、半導体層24のエッチング量が多くてベース幅が薄く、電流増幅率(h_{fe})の増大やコレクタ・エミッタ間耐圧(V_{ce})の低下等が生じている。また、半導体層24がエッチングされていると、ベースの表面状態が良好ではなく、表面再結合電流が生じ、低電流での電流増幅率(h_{fe})の低下等が生じて、バイポーラトランジスタの信頼性が低い。

【0012】これに対して、絶縁膜25を薄くすれば、開口26を確実に形成するための絶縁膜25のオーバエッチング量を少なくすることができる。この結果、半導体層24のエッチング量を少なくすることができ、エッチング量のばらつきも少なくなる。しかし、図4に示されている様に、開口26以外の部分では絶縁膜25を介して半導体層24と半導体層28とが対向している。このため、絶縁膜25を薄くすると、絶縁膜25を介したエミッタ・ベース間の寄生容量が増加して、バイポーラトランジスタの特性が低下する。

【0013】従って、本願の発明の目的は、複数のバイポーラトランジスタにおいてエミッタの面積に依存した特性のばらつきが少なく、エミッタ・ベース間の寄生容量の増加が防止されて特性の低下が防止されており、ベースの表面状態が良好であり且つ外部からベースの表面への可動イオン等の侵入も防止されるので信頼性が高い半導体装置及びその製造方法を提供することである。

【0014】

【課題を解決するための手段】請求項1に係る半導体装置では、面積が互いに異なるエミッタと表面の高さが互いに等しいベースとを有する複数のバイポーラトランジスタが含まれている。このため、複数のバイポーラトランジスタにおいてエミッタの面積に拘らずベース幅が互いに等しい。

【0015】請求項2に係る半導体装置では、バイポーラトランジスタのベース上に順次に積層されている第一、第二及び第三の絶縁膜にベースに達する開口が設けられており、バイポーラトランジスタのエミッタが開口を介してベースに接合すると共に第一〜第三の絶縁膜を介してベース上に広がっており、第一及び第三の絶縁膜と第二の絶縁膜とでエッチング特性が互いに異なっており、第三の絶縁膜が第一及び第二の絶縁膜よりも厚い。

【0016】この様に第三の絶縁膜と第二の絶縁膜とでエッチング特性が互いに異なっているので、第三〜第一の絶縁膜にエミッタ用の開口を形成する際に、第二の絶縁膜をエッチングストップパにして第三の絶縁膜をエッチングすることができる。このため、第一及び第二の絶縁膜よりも厚い第三の絶縁膜を確実にエッチングするために第三の絶縁膜に十分なオーバエッチングを施しても、第三の絶縁膜まででエッチングを停止させることができ、マイクロ・ローディング効果によるエッチング量のばらつきが殆どない。

【0017】また、第二の絶縁膜と第一の絶縁膜とでもエッチング特性が互いに異なっており、しかも、第二及び第一の絶縁膜が第三の絶縁膜よりも薄いので、第二の絶縁膜及び第一の絶縁膜に対するオーバエッチング量が少なくても、第二及び第一の絶縁膜を確実にエッチングすることができて、マイクロ・ローディング効果によるエッチング量のばらつきが少ない。このため、第二及び第一の絶縁膜のエッチング時にエミッタ用の開口下のベースがエッチングされる量が少なく、ベースの表面状態も良好である。

【0018】また、上述の様に、第三の絶縁膜が第一及び第二の絶縁膜よりも厚くても、第三の絶縁膜を確実にエッチングすることができる。しかも、第三の絶縁膜が第一の絶縁膜よりも厚いので、第一の絶縁膜をエッチングする前にエミッタ用の開口のパターンのマスクが除去され且つ第一の絶縁膜と第三の絶縁膜とでエッチング特性が互いに等しくても、エミッタ用の開口の形成後も十分な厚さの第三の絶縁膜が残る。従って、エミッタ用の開口の形成後も十分な厚さの第一〜第三の絶縁膜が残る。更に、第二の絶縁膜が第一の絶縁膜よりも緻密であるので、外部からベースの表面への可動イオン等の侵入が防止される。

【0019】請求項3に係る半導体装置では、第一及び第三の絶縁膜がシリコン酸化膜であり、第二の絶縁膜がシリコン窒化膜である。このため、第一及び第三の絶縁膜と第二の絶縁膜とでエッチング選択比を4.0程度以上にすることができ、エミッタ用の開口を形成しても、開口下のベースがエッチングされる量が更に少なく、ベースの表面状態も更に良好である。また、シリコン窒化膜は非常に緻密であり、外部からベースの表面への可動イオン等の侵入が効果的に防止される。

【0020】請求項4〜6に係る半導体装置では、第一

〜第三の絶縁膜が所定の厚さを有している。このため、エミッタ用の開口を形成しても、開口下のベースがエッチングされる量が更に少なく、ベースの表面状態も更に良好である。また、エミッタ用の開口の形成後も更に十分な厚さの第一〜第三の絶縁膜が残る。また、外部からベースの表面への可動イオン等の侵入が効果的に防止される。

【0021】請求項7に係る半導体装置の製造方法では、バイポーラトランジスタのベース上に第一の絶縁膜を形成し、第一の絶縁膜とはエッチング特性が異なっており且つ第一の絶縁膜よりも緻密な第二の絶縁膜を第一の絶縁膜上に形成し、第二の絶縁膜とはエッチング特性が異なっており且つ第一及び第二の絶縁膜よりも厚い第三の絶縁膜を第二の絶縁膜上に形成する。

【0022】この様に、第二の絶縁膜とはエッチング特性が異なる第三の絶縁膜を第二の絶縁膜上に形成するので、第三〜第一の絶縁膜にエミッタ用の開口を形成する際に、第二の絶縁膜をエッチングストップパにして第三の絶縁膜をエッチングすることができる。このため、第一及び第二の絶縁膜よりも厚い第三の絶縁膜を確実にエッチングするために第三の絶縁膜に十分なオーバエッチングを施しても、第三の絶縁膜まででエッチングを停止させることができ、マイクロ・ローディング効果によるエッチング量のばらつきが殆どない。

【0023】また、第一の絶縁膜とはエッチング特性が異なる第二の絶縁膜を第一の絶縁膜上に形成し、しかも、第二及び第一の絶縁膜を第三の絶縁膜よりも薄くするので、第二の絶縁膜及び第一の絶縁膜に対するオーバエッチング量が少なくても、第二及び第一の絶縁膜を確実にエッチングすることができて、マイクロ・ローディング効果によるエッチング量のばらつきが少ない。このため、第二及び第一の絶縁膜のエッチング時にエミッタ用の開口下のベースがエッチングされる量が少なく、ベースの表面状態も良好である。

【0024】また、上述の様に、第三の絶縁膜が第一及び第二の絶縁膜よりも厚くても、第三の絶縁膜を確実にエッチングすることができる。しかも、第三の絶縁膜を第一の絶縁膜よりも厚くするので、第一の絶縁膜をエッチングする前にエミッタ用の開口のパターンのフォトリソが除去され且つ第一の絶縁膜と第三の絶縁膜とでエッチング特性が互いに等しくても、エミッタ用の開口の形成後も十分な厚さの第三の絶縁膜が残る。従って、エミッタ用の開口の形成後も十分な厚さの第一〜第三の絶縁膜が残る。更に、第一の絶縁膜よりも緻密な第二の絶縁膜を形成するので、外部からベースの表面への可動イオン等の侵入が防止される。

【0025】請求項8に係る半導体装置の製造方法では、第一及び第三の絶縁膜としてシリコン酸化膜を形成し、第二の絶縁膜としてシリコン窒化膜を形成する。このため、第一及び第三の絶縁膜と第二の絶縁膜とでエ

チング選択比を40程度以上にすることができ、エミッタ用の開口を形成しても、開口下のベースがエッチングされる量が更に少なく、ベースの表面状態も更に良好である。また、シリコン窒化膜は非常に緻密であり、外部からベースの表面への可動イオン等の侵入が効果的に防止される。

【0026】請求項9に係る半導体装置の製造方法では、120～170℃のリン酸を用いて、シリコン窒化膜である第二の絶縁膜をエッチングする。120～170℃のリン酸では、シリコン酸化膜である第一及び第三の絶縁膜はシリコン窒化膜である第二の絶縁膜の1/20程度以下しかエッチングされないで、第二の絶縁膜をエッチングしても、第一及び第三の絶縁膜はエッチングされにくい。このため、エミッタ用の開口を形成しても、開口下のベースがエッチングされる量が更に少なく、ベースの表面状態も更に良好である。また、エミッタ用の開口の形成後にも更に十分な厚さの第一～第三の絶縁膜が残る。

【0027】請求項10に係る半導体装置の製造方法では、シリコンを主成分とするエピタキシャル層をベースとして形成し、1/10以下に希釈されたフッ酸を用いて、シリコン酸化膜である第一の絶縁膜をエッチングする。1/10以下に希釈されたフッ酸では、シリコンはエッチングされないで、第一の絶縁膜をエッチングしても、シリコンを主成分とするエピタキシャル層であるベースはエッチングされない。このため、エミッタ用の開口を形成しても、開口下のベースがエッチングされる量が更に少なく、ベースの表面状態も更に良好である。

【0028】請求項11～13に係る半導体装置では、第一～第三の絶縁膜の厚さを所定の値にする。このため、エミッタ用の開口を形成しても、開口下のベースがエッチングされる量が更に少なく、ベースの表面状態も更に良好である。また、エミッタ用の開口の形成後にも更に十分な厚さの第一～第三の絶縁膜が残る。また、外部からベースの表面への可動イオン等の侵入が効果的に防止される。

【0029】請求項14に係る半導体装置の製造方法では、第二の絶縁膜をエッチングする前、または第二の絶縁膜をエッチングした後で第一の絶縁膜をエッチングする前、または第一の絶縁膜をエッチングした後の何れかにフォトリソを除去する。フォトリソの耐熱温度よりも高い温度のエッチング液で第二の絶縁膜をエッチングする場合は、第二の絶縁膜をエッチングする前にフォトリソを除去しておく必要があるが、第二の絶縁膜をドライエッチングする場合は、第二の絶縁膜をエッチングする前にフォトリソを除去しておいても除去しておかなくてもよい。

【0030】第二の絶縁膜をドライエッチングする場合に、フォトリソを予め除去しておけば、第三の絶縁膜の表面もエッチングされるが、フォトリソが存在

していないのでマイクロ・ローディング効果が殆ど生じない。第二の絶縁膜をドライエッチングする場合に、フォトリソを予め除去しておかなければ、マイクロ・ローディング効果が生じるが、僅かである。このため、フォトリソを除去する時期の自由度が大きい。

【0031】

【発明の実施の形態】以下、縦型NPNバイポーラトランジスタを含む半導体装置及びその製造方法に適用した本発明の一実施形態を、図1～3を参照しながら説明する。本実施形態の半導体装置の製造に際しても、図2(a)に示されている様に、半導体層24をベース及びベース取り出し電極のパターンに加工するまでは、図4に示されている一従来例の半導体装置を製造する場合と同様の工程を実行する。

【0032】しかし、本実施形態では、その後、厚さ0.1～50nmのSiO₂膜である絶縁膜41を、CVD法による堆積か半導体層24の表面の低温酸化かによって形成する。続いて、厚さ0.1～100nmのSiN膜である絶縁膜42をCVD法によって堆積させ、更に、厚さ10～1000nmのSiO₂膜である絶縁膜43をCVD法によって堆積させる。そして、図2(b)に示されている様に、絶縁膜43上にフォトリソ44を塗布し、エミッタの形成予定領域のパターンの開口45をフォトリソグラフィによってフォトリソ44に形成する。

【0033】次に、図3(a)に示されている様に、フォトリソ44をマスクにして絶縁膜43をエッチングする。この場合、SiO₂膜とSiN膜とのエッチング選択比が40程度以上になるエッチング条件を採用して絶縁膜42をエッチングストップにすることによって、絶縁膜43に十分なオーバーエッチングを施しても、絶縁膜43まででエッチングを停止させることができる。そして、開口45を介するN型の不純物のイオン注入によって第二の選択イオン注入コレクタ27を形成する。

【0034】次に、図3(b)に示されている様に、フォトリソ44を除去し、150℃のリン酸を用いて絶縁膜42をウエットエッチングする。150℃のリン酸では、SiO₂膜である絶縁膜41、43はSiN膜である絶縁膜42の1/20程度以下しかエッチングされない。続いて、1/10以下に希釈されたフッ酸を用いて絶縁膜41をウエットエッチングする。

【0035】この際、SiO₂膜である絶縁膜43もエッチングされるが、絶縁膜43は絶縁膜41よりも遥かに厚いので、絶縁膜41と同程度の厚さだけ絶縁膜43がエッチングされても特に支障はない。一方、1/10以下に希釈されたフッ酸では、SiN膜である絶縁膜42やSiを主成分とするSiGe層等である半導体層24はエッチングされない。ここまでの、絶縁膜41～43に開口26が形成される。その後は、再び、図4に示

際、これら第三～第一の絶縁膜を確実にエッチングすることができるにも拘らずエミッタ用の開口下のベースがエッチングされる量が少ない。このため、複数のバイポーラトランジスタにおいてエミッタの面積が互いに異なっている、ベース幅のばらつきが少なく、エミッタの面積に依存した特性のばらつきが少ない半導体装置を製造することができる。

【0043】また、エミッタ用の開口の形成後にも十分な厚さの第一〜第三の絶縁膜が残るので、第一〜第三の絶縁膜を介したエミッタ・ベース間の寄生容量の増加が防止されて、特性の低下が防止されている半導体装置を製造することができる。更に、ベースの表面状態が良好であり、外部からベースの表面への可動イオン等の侵入も防止されるので、信頼性が高い半導体装置を製造することができる。

【００４４】請求項８に係る半導体装置の製造方法では、エミッタ用の開口を形成しても、開口下のベースがエッチングされる量が更に少なく、ベースの表面状態も更に良好である。また、外部からベースの表面への可動イオン等の侵入が効果的に防止される。このため、エミッタの面積に依存した特性のばらつきが更に少なく、信頼性も更に高い半導体装置を製造することができる。

【００４５】請求項９に係る半導体装置の製造方法では、エミッタ用の開口を形成しても、開口下のベースがエッチングされる量が更に少なく、ベースの表面状態も更に良好である。また、エミッタ用の開口の形成後にも更に十分な厚さの第一〜第三の絶縁膜が残る。このため、エミッタの面積に依存した特性のばらつきが更に少なく、特性が更に優れており、信頼性も更に高い半導体装置を製造することができる。

【００４６】請求項１０に係る半導体装置の製造方法では、エミッタ用の開口を形成しても、開口下のベースがエッチングされる量が更に少なく、ベースの表面状態も更に良好である。このため、エミッタの面積に依存した特性のばらつきが更に少なく、特性が更に優れている半導体装置を製造することができる。

【００４７】請求項１１～１３に係る半導体装置では、エミッタ用の開口を形成しても、開口下のベースがエッチングされる量が更に少なく、ベースの表面状態も更に良好である。また、エミッタ用の開口の形成後も更に十分な厚さの第一～第三の絶縁膜が残る。また、外部からベースの表面への可動イオン等の侵入が効果的に防止される。このため、エミッタの面積に依存した特性のばらつきが更に少なく、特性が更に優れており、信頼性も更に高い半導体装置を製造することができる。

【0048】請求項14に係る半導体装置の製造方法では、フォトレジストを除去する時期の自由度が大きい。このため、エミッタの面積に依存した特性のばらつきが更に少なく、特性が更に優れており、信頼性も更に高い半導体装置を低コストで製造することができる。

【００４２】請求項７に係る半導体装置の製造方法では、第三～第一の絶縁膜にエミッタ用の開口を形成する 50

【図面の簡単な説明】

【図1】本願の発明の一実施形態による半導体装置の側断面図である。

【図2】本願の発明の一実施形態による半導体装置の製造工程の前半を順次に示す側断面図である。

【図3】本願の発明の一実施形態による半導体装置の製造工程の後半を順次に示す側断面図である。

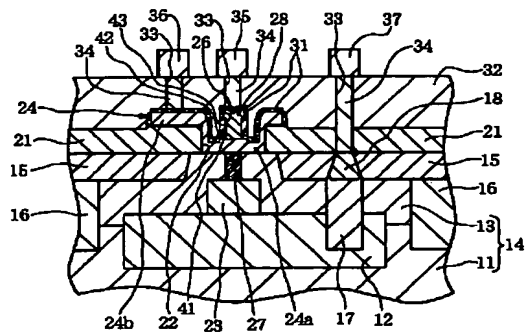
【図4】本願の発明の一従来例による半導体装置の側断面*

* 面図である。

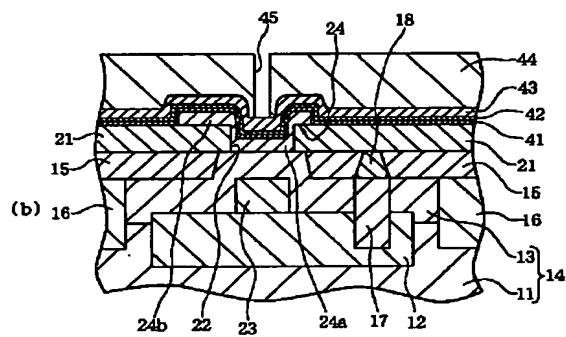
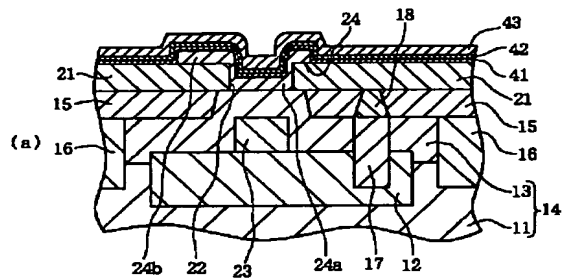
【符号の説明】

24a…半導体層（ベース、エピタキシャル層）、26…開口、28…半導体層（エミッタ）、41…絶縁膜（第一の絶縁膜）、42…絶縁膜（第二の絶縁膜）、43…絶縁膜（第三の絶縁膜）、44…フォトリソ、45…開口

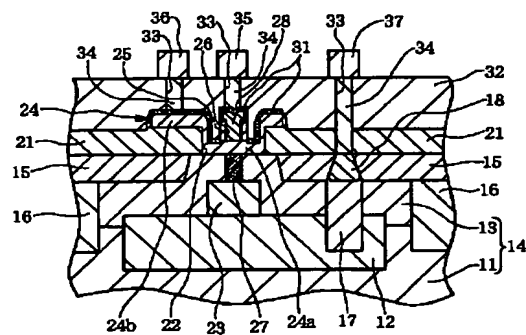
【図1】



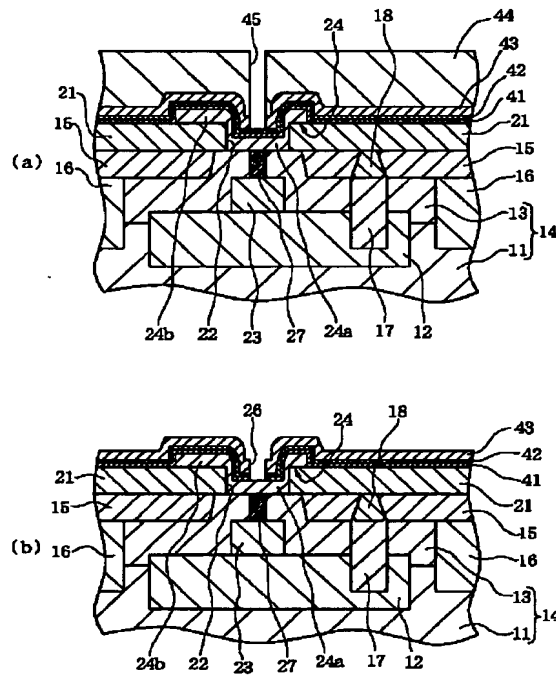
【図2】



【図4】



【図3】



フロントページの続き

(51)Int.Cl.

H01L 29/417
29/73
29/737

識別記号

F I

H01L 29/72

ターマコード (参考)

Z

F ターム (参考) 4M104 AA01 BB01 BB14 BB30 CC01
DD63 DD64 DD72 EE09 EE12
EE16 EE17 GG06 HH14
5F003 AP03 AP04 BA13 BB04 BB07
BB08 BC01 BC02 BC08 BE07
BE08 BF03 BF06 BH04 BH06
BH18 BH94 BJ01 BM01 BP11
BP21 BP31 BP33 BP34 BP94
BP96 BS03
5F004 AA01 AA06 DB03 DB07 EA10
EA23 EA28 EB01 EB03
5F082 AA17 AA21 BA21 BA36 BA47
BC03 CA01 DA01 EA18 EA24
EA25